

**JP2000341099**

Publication Title:

DELAY CIRCUIT

Abstract:

Abstract of JP2000341099

**PROBLEM TO BE SOLVED:** To provide a delay circuit that can be set a very small delay time with respect to an input signal with high accuracy without being affected by a manufacture process for each product or each semiconductor circuit while being hardly affected by external factors such as an environmental change. **SOLUTION:** The delay circuit is provided with a PLL loop oscillation circuit 1 that has an oscillation circuit 1 where a plurality of 1st circuit components connected to a common power receiving line are connected in cascade in multi-stages, compares a phase of a received signal with a phase of a clock signal with a reference frequency, forms a PLL loop to control a voltage of the power receiving line in response to the result of the phase comparison and oscillates a prescribed frequency locked to the frequency of the reference clock and with a delay element circuit 11 where a plurality of 2nd circuit components connected to the common power receiving line and equivalent to the 1st circuit components are connected in cascade in multi-states, the input signal is received at its first stage and the output delaying the input signal is generated.

Data supplied from the esp@cenet database - Worldwide

-----  
Courtesy of <http://v3.espacenet.com>

*This Patent PDF Generated by Patent Fetcher(TM), a service of Stroke of Color, Inc.*

Patent provided by Sughrue Mion, PLLC - <http://www.sughrue.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-341099

(P2000-341099A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.  
H03K 5/13

識別記号

F I  
H03K 5/13

キーワード(参考)

審査請求 有 請求項の数 3 OL (全 6 頁)

(21) 出願番号 特願平11-148439

(22) 出願日 平成11年5月27日 (1999.5.27)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 飯田 淳

京都市右京区西院清崎町21番地ローム株式  
会社内

(72) 発明者 飯沼 義和

京都市右京区西院清崎町21番地ローム株式  
会社内

(74) 代理人 100079555

弁理士 梶山 信是 (外1名)

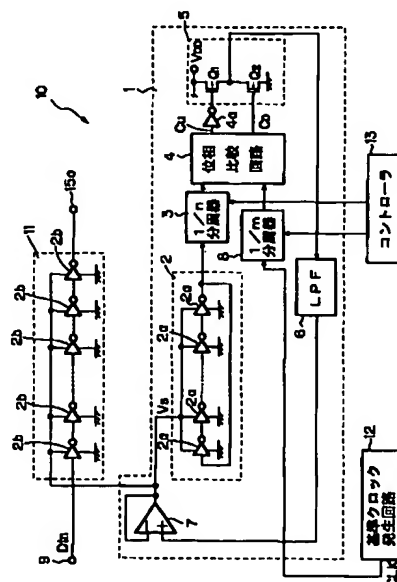
最終頁に続く

(54) 【発明の名称】 遅延回路

(57) 【要約】

【課題】 製品ごとあるいは半導体回路ごとの製造プロセスに影響されずに、また、環境変化等の外部要因に影響されにくく、入力信号に対して微少な遅延時間を高精度に設定することができる遅延回路を提供することにある。

【解決手段】 共通の電力供給ラインに接続された複数の第1の回路素子を多段従属接続した発振回路を有し、基準周波数のクロックと位相比較してこの位相比較結果に応じて電力供給ラインの電圧を制御するPLLループを形成して基準クロックの周波数にロックされた所定の周波数で発振するPLLループ発振回路と、第1の回路素子と等価の、共通の電力供給ラインに接続された複数の第2の回路素子を多段従属接続してその初段に入力信号を受けてこれを遅延させた出力を発生する遅延素子回路とを備えるものである。



## 【特許請求の範囲】

【請求項1】共通の電力供給ラインに接続された複数の第1の回路素子を多段従属接続した発振回路を有し、基準周波数のクロックと位相比較してこの位相比較結果に応じて前記電力供給ラインの電圧を制御するPLLループを形成して前記基準クロックの周波数にロックされた所定の周波数で発振するPLLループ発振回路と、前記第1の回路素子と等価の、前記共通の電力供給ラインに接続された複数の第2の回路素子を多段従属接続してその初段に入力信号を受けてこれを遅延させた出力を発生する遅延素子回路とを備えることを特徴とする遅延回路。

【請求項2】さらにクリスタル発振器と分周器とを有し、前記基準クロックは、前記クリスタル発振器による信号であり、前記第1および第2の回路素子は、インバータであり、前記発振回路は、前記インバータを接続したリング発振器であり、前記分周器は、前記リング発振器の出力あるいは前記基準クロックの少なくとも一方を分周するものであって、その分周率が外部から設定できる請求項1記載の遅延回路。

【請求項3】多段従属接続された前記複数の第2のインバータの各段の出力側にはそれぞれに前記共通の電力供給ラインに接続されたバッファアンプが負荷として接続され、偶数段の前記バッファアンプから前記入力信号の遅延された出力が取り出される請求項2記載の遅延回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、遅延回路に関し、詳しくは、製品ごとあるいは半導体回路ごとの製造プロセスに影響されずに、また、環境変化等の外部要因に影響されにくく、入力信号に対して微少な遅延時間を高精度に設定することができるような遅延回路に関する。

## 【0002】

【従来の技術】最近のCD-R/RWでは、データの書き込み速度が2倍、4倍、8倍、…とその速度が高速化されている。このCD-R/RWでは、通常、ホストコンピュータからSCSIやATPIのインタフェースを通して転送された書き込みデータがEFM変調されてレーザコントローラに加えられ、レーザコントローラにより書込用に制御されたレーザ光がEFM変調されたデータによってON/OFFされてCDの所定のトラックに照射されることでデータの書き込みが行われる。このようなCD-R/RWのほか、CD-R、DVD-RAM等の光ディスクにあっては、特にそのデータ書き込みの際にpsec〜数十nsec程度の微少な遅延時間を高精度に設定する回路が必要になる。また、CPU等のクロック速度の高速化に伴い、一般的なロジック回路にあってはpsec〜数十nsec程度の微少な遅延時間を高精度に設定す

ることが必要になる。

## 【0003】

【発明が解決しようとする課題】微少な遅延時間を精度よく設定する従来の遅延回路においては、製品ごとあるいは半導体回路ごとの製造プロセスにその遅延時間が影響される関係から製造工程で外部から電圧を調整して遅延時間を設定し、そのばらつきを吸収したり、例えば、特開平7-86888号に開示されているように、遅延回路に遅延時間を制御する制御端子を設けて実際の遅延量を計測手段により計測した上で、計測結果に基づいて適正な遅延時間になるように制御端子に制御信号を加えることが行われる。さらに、A/D、D/A、CPU等のマクロセルを形成してプロセッサ処理等により遅延時間を計測して補正することも行われている。

【0004】いずれにしても入力信号に対して微少な遅延時間を高精度に設定するためには製品ごとに調整するか、あるいは実際の遅延時間を計測してフィードバック制御により補正することなどが必要になる。しかも、前者の遅延時間を補正する場合には温度変化や経年変化、そして電源電圧の変化等、遅延回路が外部環境の影響を受けやすく、精度上の問題が残る。この発明の目的は、このような従来技術の問題点を解決するものであって、製品ごとあるいは半導体回路ごとの製造プロセスに影響されずに、また、環境変化等の外部要因に影響されにくく、入力信号に対して微少な遅延時間を高精度に設定することができる遅延回路を提供することにある。

## 【0005】

【課題を解決するための手段】このような目的を達成するこの発明の遅延回路の特徴は、共通の電力供給ラインに接続された複数の第1の回路素子を多段従属接続した発振回路を有し、基準周波数のクロックと位相比較してこの位相比較結果に応じて電力供給ラインの電圧を制御するPLLループを形成して基準クロックの周波数にロックされた所定の周波数で発振するPLLループ発振回路と、第1の回路素子と等価の、共通の電力供給ラインに接続された複数の第2の回路素子を多段従属接続してその初段に入力信号を受けてこれを遅延させた出力を発生する遅延素子回路とを備えるものである。

## 【0006】

【発明の実施の形態】このように、PLLループ発振回路の第1の回路素子と等価の第2の回路素子で遅延素子回路を形成し、PLLループ発振回路の発振周波数を基準クロックの周波数にロックさせることにより第1の回路素子と第2の回路素子の動作遅延時間を基準クロックの周波数に従って決定される一定値になるように制御することができる。通常、基準クロックの周波数は、製品毎のばらつきが吸収され、温度変化や経年変化、そして電源電圧の変化等の外部環境の影響を受けにくいようなクロック発生回路としてIC等の内部に形成されているので、これを利用することでこの遅延回路も同様に外部

環境に影響されにくく、製品ごとのばらつきが吸収された遅延回路として実現することができる。特に、基準クロックを発生するクロック発生回路をクリスタル発振器等を利用することにより、無調整化された遅延回路を実現することができる。

【0007】

【実施例】図1は、この発明の遅延回路を適用した一実施例の回路図、図2は、この発明の遅延回路を適用した他の実施例の回路図、図3は、遅延素子部とVCOにおける各段の素子のレイアウトその接続についての説明図である。遅延回路10は、PLL発振回路1と、遅延素子回路11、基準クロック発生回路12、そしてコントローラ13とからなる。なお、ここでの基準クロック発生回路12は、クリスタル発振器等で構成され、その発振周波数は外部環境の変化にほとんど影響されないものである。PLL発振回路1は、基準クロック発生回路12からの基準クロックCLK（以下クロックCLK）を受けてこれの周波数にロックされ発振する発振回路であって、遅延素子回路11の各インバータ素子の動作遅延時間を設定する電源電圧信号を出力する回路である。この回路には、VCO2と、1/n分周器3、位相比較回路4、チャージポンプ5、ローパスフィルタ（LPF）6、ボルテージフォロア7、1/m分周器8が設けられている。そして、遅延素子回路11に加えられる前記の電圧信号は、VCO2に加えられる制御電圧Vsが当てられる。

【0008】ここで、VCO2は、インバータ2a、2a、2a…を奇数段で直列接続して出力を入力に帰還したリング発振器で構成され、遅延素子回路11は、インバータ2aと同時に同じICの中の回路として集積化された等価のインバータ2bを複数段、インバータ2b、2b、2b…として同様に直列接続して構成される。インバータ2a、2bは、ここではそれぞれに加えられる電源電圧が制御電圧Vsになっていて、電源電圧の値に応じて1個のインバータ動作の遅延時間が変化するもので、これらに加えられる電源電圧が等しいときには1個当たりのインバータの動作遅延時間は等しいものになる。両者のインバータ2a、2bの電源電圧となる制御電圧Vsは、PLL発振回路1において、基準クロック発生回路12のクロックCLKの周波数にあるいはこれに所定の係数値をかけた周波数に一致するように制御されている。すなわち、PLL発振回路1において、VCO2の出力は、1/n分周器により1/nに分周されて位相比較回路4の一方に入力され、その他方に入力される1/m分周器8を経て供給されたクロックCLKと位相比較される。

【0009】位相比較回路4は、クロックCLKの立ち上がりからVCO2側の入力信号の立ち上がりまでの位相差に対応する期間“H”となるチャージアップ信号CUをインバータ4aを介してチャージポンプ5に送出し

てその電流吐き出し側のPチャネルのMOSトランジスタQ1をONにする。このとき電流シンク側のNチャネルのMOSトランジスタQ2はチャージダウン信号CDが“L”となってOFFになる。また、位相比較回路4は、VCO2側の入力信号の立ち上がりからクロックCLKの立ち上がりまでの位相差に対応する期間“H”となるチャージダウン信号CDをチャージポンプ5に送出してその電流シンク側のMOSトランジスタQ2をONにする。このときMOSトランジスタQ1はチャージアップ信号が“L”となってOFFになる。このようなチャージポンプ5の出力信号は、LPF6に加えられ、平滑化されてボルテージフォロア7に入力される。そこで、ボルテージフォロア7からは、VCO2の発振周波数をクロックCLKの周波数にロックあるいは所定の周波数比率で一致させるように制御する制御電圧Vsが発生する。

【0010】このように、インバータの動作電圧を決定する電力供給ラインをボルテージフォロア7の出力にして発振回路を駆動し、ボルテージフォロア7の入力側に周波数を制御する制御電圧信号をLPF6を介して入力することにより、入力側の制御電圧と等しい電圧Vsの電力供給をVCO2（リング発振器）に与えてその発振周波数をクロックCLKの周波数にロックすることができる。その結果、PLL発振回路1の発振周波数は、温度やデバイスの電源電圧等の外部環境の変化にほとんど影響されない基準クロック発生回路12の周波数にそれぞれに分周率1/n、1/mに対応する形で所定の比率で一致するように制御され、ロックされる。このときの制御電圧Vsは、1個のインバータ2aの動作の遅延時間が基準クロック発生回路12の周波数に応じて決定され、一定値となる。このことは、同じ制御電圧Vsを受けて動作するインバータ2bにも適用される。インバータ2bは、インバータ2aと同時にICの中の回路として集積化された等価の遅延素子回路11の素子であるからである。そこで、遅延素子回路11の遅延時間は、温度やデバイスの電源電圧等の外部環境の変化にほとんど影響されないで決定され、その入力端子9の入力信号Dinに対する遅延時間は、インバータ2bの1個当たりの遅延時間τに対してその接続段数をP個とすればτ×Pにより決定され、最終段のインバータ2bの出力に接続された出力端子15aに高精度に設定された遅延量の遅延信号が出力される。

【0011】ところで、インバータ1個当たりの遅延時間τは、ここではプログラマブルになっている。それは、コントローラ13により1/n分周器3と1/m分周器8の分周率の値を変更すればよい。1/n分周器3と1/m分周器8は、それぞれn進、m進のカウンタで構成され、その最大カウント値、すなわち、n、mの進数がコントローラ13からのデータ設定により変更できる回路である。

【0012】図2は、他の実施例であって、PLL発振回路1aと遅延素子回路11aとを有している。その遅延素子回路11aは、図1の遅延素子回路11の各インバータ2bの出力に負荷として奇数段にスリーステートバッファアンプ（バッファ）2cを設け、初段入力と偶数段とにスリーステートバッファアンプ（バッファ）2dを設けて、偶数の各段のバッファ2dを介して遅延出力を取り出せるようにしてもよい。各段に負荷として交互に接続されたバッファ2c、2dもその電源電圧として制御電圧Vsを受けて動作する。ここで、バッファ2cは、各インバータのダミー負荷となっていて各段で等しい遅延動作時間を確保する役割を果たす。偶数各段の出力となるバッファ2dは、コントローラ13からの選択信号SELを受けてグラウンドGND端子側が接地されることで所定のレベルの出力をレベルシフタ14に供給する。レベルシフタ14は、偶数各段のバッファ2dからの出力を受けて、“H”、“L”のデータの出力レベルを整合させて出力端子15bに出力する回路である。なお、最終段のインバータ2bからの出力は、前記の図1の実施例で説明したように出力端子15aに出力されてもよい。

【0013】このような遅延素子回路11aの回路構成に対応して、図2のPLL発振回路1aでは、VCO2に換えてVCO20が設けられている。VCO20は、図1のVCO2の各インバータ2aの出力に負荷としてスリーステートバッファアンプ（バッファ）2eをダミー回路として設けたリング発振器である。各段の出力に接続されたバッファ2eは、バッファ2c、2dに対応するダミー負荷回路であって、これらは、それぞれにその電源電圧として制御電圧Vsを受けて動作し、それぞれのグラウンドGND端子側は接地されている。また、VCO20の出力は、レベルシフタ14と等価のレベルシフタ14aを介して1/n分周器3に入力される。これにより遅延素子回路11aのインバータ2bと実質的に等価の回路としてVCO20のインバータ2aが形成される。その結果、それぞれのインバータの動作遅延時間が実質的に等しくなる。

【0014】図3は、遅延素子回路11aとVCO20における各段の素子のレイアウトについての説明図である。（a）は、VCO20のレイアウトであって、インバータ2aとバッファ2eを1つのセル16として初段のセル16aの除いてセル16を2段のセル配置として最終段のセル16nのインバータ2aの出力から初段のセル16aのインバータ2aの入力に配線17aで接続し、配線17bにより反対側の上段のインバータと下段のインバータの出力と入出とを接続してリングになるようにする。なお、配線17a、17bの配線長は、インバータ2a間あるいはインバータ2b間の接続配線長にできるだけ近い配線長とする。遅延素子回路11aは、これと同じ配置であり、配線17aを削除したものであ

り、図のセル16の構成においてインバータ2aがインバータ2bとなり、バッファ2eがバッファ2cあるいはバッファ2dに入れ替わる。

【0015】このようにすることで、各段からの出力を得ても入力信号に設定される各段からの遅延時間出力の誤差を最小限にすることができる。また、電源ラインあるいはグラウンドGNDの配線については、図3（b）に示すように、○と○、×と×、//と//、/と/として示すように対称となる配線長を等しく採ったトーナメントバス配線18によりすべてのセル16に対して電源あるいはグラウンドGNDまでの配線長が等しくなるようにするとよい。このようなトーナメントバス配線18は、偶数各段のバッファ2dから出力を取り出すときにも適用するとよく、入力信号に設定される各段からの遅延時間出力の誤差を最小限に抑えることができる。最後に、ボルテージフォロア7の制御電圧Vsを遅延素子回路11aあるいは遅延素子回路11とVCO20あるいはVCO2の電源ラインに接続する配線レイアウトについても図3（c）に示すように、等距離配線になるように、ボルテージフォロア7の出力から対称的な配線19a、19bによりそれぞれ行い、それぞれのグラウンドGND配線も対称的な配線19c、19dを介してグラウンドGNDラインに接続するようにするとよい。

【0016】以上説明してきたが、実施例では遅延素子としてインバータの例を上げているが、この発明の遅延素子回路の遅延素子としては、フリップフロップ等、所定の動作遅延時間をもって動作する回路素子を遅延回路として使用してもよいことはもちろんである。

【0017】

【発明の効果】以上説明してきたが、この発明にあっては、PLLループ発振回路の第1の回路素子と等価の第2の回路素子で遅延素子回路を形成し、PLLループ発振回路の発振周波数を基準クロックの周波数にロックさせることにより第1の回路素子と第2の回路素子の動作遅延時間を基準クロックの周波数に従って決定される一定値になるように制御することができる。通常、基準クロックの周波数は、製品毎のばらつきが吸収され、温度変化や経年変化、そして電源電圧の変化等の外部環境の影響を受けにくいようなクロック発生回路としてIC等の内部に形成されているので、これを利用することでこの遅延回路も同様に外部環境に影響されにくく、製品ごとのばらつきが吸収された遅延回路として実現することができる。

【図面の簡単な説明】

【図1】図1は、この発明の遅延回路を適用した一実施例の回路図である。

【図2】図2は、この発明の遅延回路を適用した他の実施例の回路図である。

【図3】図3は、遅延素子部とVCOにおける各段の素子のレイアウトその接続についての説明図であって、

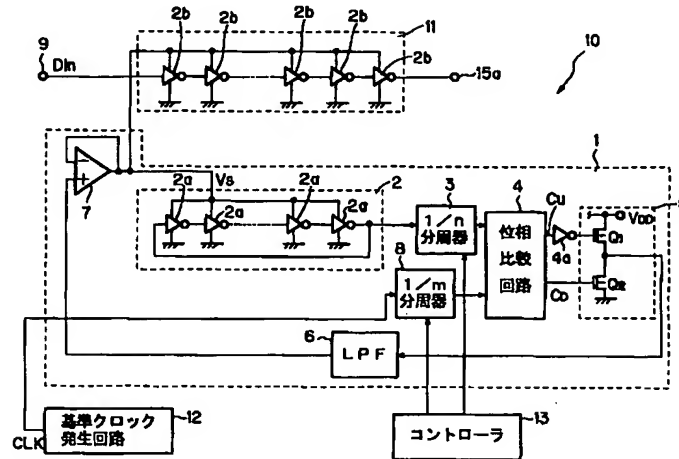
(a)は、そのVCOおよび遅延素子回路のセルレイアウトの説明図、(b)は、その電源配線ラインあるいはグランド配線ラインの説明図、(c)は、VCOと遅延素子回路との配線ラインの説明図である。

【符号の説明】

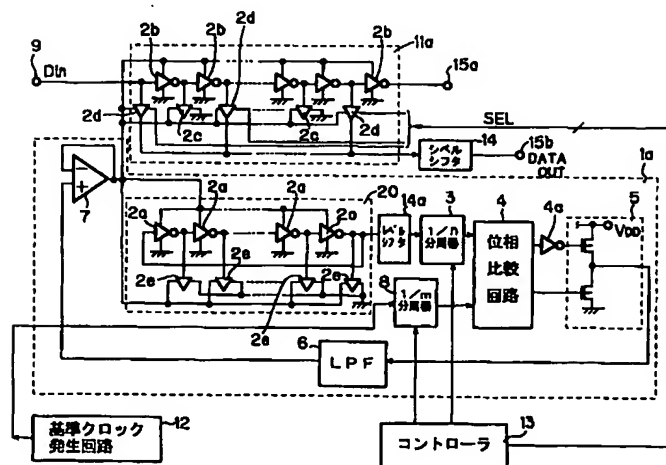
1, 1a…PLL発振回路、2, 20…VCO、2a, 2b…インバータ、2c, 2d, 2e…スリーステート\*

\*バッファ、3… $1/n$ 分周器、4…位相比較回路、5…チャージポンプ、6…ローパスフィルタ(LPF)、7…ボルテージフォロア、8… $1/m$ 分周器、9…入力端子、10…遅延回路、11, 11a…遅延素子回路、12…基準クロック発生回路、13…コントローラ、14, 14a…レベルシフタ、15a, 15b…出力端子、16…セル。

【図1】



【図2】



(72)発明者 栗原 直樹  
京都市右京区西院溝崎町21番地ローム株式  
会社内

(72)発明者 根本 崇史  
京都市右京区西院溝崎町21番地ローム株式  
会社内